

MEMORY SYSTEM WITH COMMUNICATION FUNCTION

Patent Number: JP6103243
Publication date: 1994-04-15
Inventor(s): HIRATA TETSUHIKO; others: 03
Applicant(s):: HITACHI LTD
Requested Patent: ☐ JP6103243
Application Number: JP19920252374 19920922
Priority Number(s):
IPC Classification: G06F15/16 ; G06F13/00
EC Classification:
Equivalents:

Abstract

PURPOSE:To provide a memory system with a communication function as an attaining means for a distributed shared memory to be one of approaches to a distributed processing system.

CONSTITUTION:Computer hardware constitution connecting a main processor 101, a main memory 102, various I/O devices 103, and a ROM 104 to a system bus is provided with a port controller 108 for controlling access competition between data reading/writing from the system bus 105 and that from a protocol LSI 106 and a signal line 111 for branching an address line in the system bus 105 and inputting the branched line to the LSI 106. Thereby, the transmission/ reception of I/O data to/from a network 107 can be efficiently executed and the load of the network 107 can be reduced.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-103243

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl.⁵

G 0 6 F 15/16
13/00

識別記号

3 2 0 A
3 5 5

庁内整理番号

8840-5L
7368-5B

F I

技術表示箇所

審査請求 未請求 請求項の数9(全 9 頁)

(21)出願番号

特願平4-252374

(22)出願日

平成4年(1992)9月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 平田 哲彦

神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内

(72)発明者 横山 達也

神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内

(72)発明者 水谷 美加

神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内

(74)代理人 弁理士 薄田 利幸

最終頁に続く

(54)【発明の名称】 通信機能付きメモリシステム

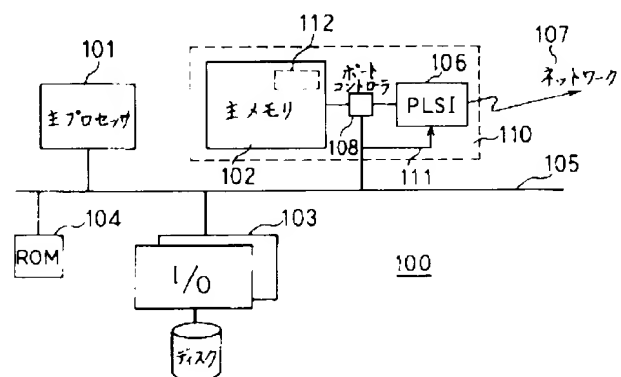
(57)【要約】

【目的】分散処理システムへのアプローチの一つである分散共有メモリの実現手段として通信機能付きメモリシステムを提供する。

【構成】主プロセッサ101、主メモリ102、各種I/O103、ROM104がシステムバス105に接続されている計算機ハードウェア構成において、システムバス105から主メモリ102にデータを送信し、プロセッサ101から主メモリ102にデータを送信するポートコントローラ108、システムバス105からプロセッサ101にデータを送信するポートコントローラ106を設ける。

【効果】I/O主プロセッサをネットワークに接続、受信するデータを、ポートコントローラ、ポートコントローラを介して、ポートコントローラに転送される。

図1



【特許請求の範囲】

【請求項1】主プロセッサ、主メモリ及び各種I/Oがシステムバスを介して接続されている計算機において、伝送路アクセス制御を実行するネットワーク制御部、通信プロトコル処理を実行するコアプロセッサ、該コアプロセッサのファームウェアを格納するプログラムメモリから成るプロトコル処理回路を、ポートコントローラを介して前記主メモリに直接接続して通信機能付きメモリとしたことを特徴とする計算機。

【請求項2】請求項1記載の計算機において、前記システムバスにアドレス線から前記主メモリへの信号線を分岐させて前記プロトコル処理回路に入力する信号線を設け、

前記ポートコントローラは、前記システムバスからのデータリード/ライトと、前記プロトコル処理回路からのデータリード/ライトのアクセス競合制御を行うよう構成したことを特徴とする計算機。

【請求項3】請求項1記載の計算機において、前記通信プロトコル処理回路をインターネットワーク環境への計算機接続には欠かせない標準プロトコルによるプロトコルL S Iとしたことを特徴とする通信機能付きメモリを備えた計算機。

【請求項4】主プロセッサ、主メモリ及び各種I/Oがシステムバスを介して接続された計算機における、メモリシステムであって、

伝送路アクセス制御を実行するネットワーク制御部と、通信プロトコル処理を実行するコアプロセッサ部と、コアプロセッサ部のファームウェアを格納するプログラムメモリからなる通信プロトコル処理回路を備え、

前記計算機の主メモリが共有アドレスエリアをローカルエリアからなり、前記共有アドレスエリアに通信制御用のバッファを有することを特徴とする通信機能付きメモリシステム。

【請求項5】伝送路アクセス制御を実行するネットワーク制御部、通信プロトコル処理を実行するコアプロセッサ部、該コアプロセッサ部のファームウェアを格納するプログラムメモリ部と3部分から成る通信機能部、計算機主メモリ部、計算機システムバスから成るデータバスとを有し、前記通信機能部からのデータリード/ライトのアクセス競合制御のためのポートコントローラ部、および前記通信機能部バスを介して前記主メモリ部への信号線を分岐させて前記通信機能部に入力する信号線を、1チャネルL S Iとしたことを特徴とする通信機能付きメモリシステム。

【請求項6】主プロセッサ、主メモリ及び各種I/Oがシステムバスを介して接続された計算機において、伝送路アクセス制御を実行するネットワーク制御部と、通信プロトコル処理を実行するコアプロセッサ部と、コアプロセッサ部のファームウェアを格納するプログラムメモリ部とを有し、前記通信機能部からのデータリード/ライトのアクセス競合制御のためのポートコントローラ部、および前記通信機能部バスを介して前記主メモリ部への信号線を分岐させて前記通信機能部に入力する信号線を、1チャネルL S Iとしたことを特徴とする通信機能付きメモリシステム。

理回路が前記主メモリに接続され、さらに前記プロトコル処理回路に接続されるネットワーク伝送路を無線化したことを特徴とする携帯端末。

【請求項7】主プロセッサ、主メモリ及び各種I/Oがシステムバスを介して接続され、伝送路アクセス制御を実行するネットワーク制御部と、通信プロトコル処理を実行するコアプロセッサ部と、コアプロセッサ部のファームウェアを格納するプログラムメモリからなるプロトコル処理回路が前記主メモリに直接接続された計算機によるネットワーク送受信方法において、

前記主プロセッサが前記各種I/Oから前記主メモリへデータを読み出し、前記プロトコル処理回路がネットワークへ前記データを送信する、ことを特徴とするネットワーク送受信方法。

【請求項8】請求項7記載のネットワーク送受信方法において、前記主メモリがローカルエリア及び共有メモリエリアを有し、前記主メモリへのライトが発生したとき、前記プロトコル処理回路がライト信号をキャンセルし、前記主メモリにいずれのエリアへの書き込みが判別し、前記共有メモリエリアへの書き込みの場合、前記データを書き込み、前記プロトコル処理回路で送信のためつプロトコル処理を行った後、前記ネットワークへ向け送信する、ことを特徴とするネットワーク送受信方法。

【請求項9】請求項8記載のネットワーク送受信方法において、前記主メモリへのリードが発生したとき、前記プロトコル処理回路がリード信号をキャンセルし、前記共有メモリエリアへのリードの場合には、有効データが無効と判別し、無効の場合には最新データを受信して前記共有メモリエリアに書き込む、ことを特徴とするネットワーク送受信方法。

【発明の詳細な説明】

【0001】

【発明上の利用分野】本発明は、情報通信ネットワークシステムに関し、特に、一般的なネットワーク環境に分散共有メモリを実現するシステムに関する。

【0002】

【従来の技術】現在、一般的な分散処理システムは、プロセス空間上に分散した複数のプロセスが、各々独立したアドレス空間を有し、それらがIPC (Interprocess Communication) 又はRPC (Remote Procedure Call) で通信中である。このシステムは、プロセスが主として存在する。このため、RPCには以下の特徴がある。

【0003】a) RPCを利用する主体は、プロセスが主として存在する。プロセスが主として存在する。このため、RPCには以下の特徴がある。

【0004】b) RPCは、プロセスが主として存在する。このため、RPCには以下の特徴がある。

3

【0005】これに対し、ネットワーク上の複数プロセスによって論理的にメモリ空間を共有する分散共有メモリのアプローチがある。

【0006】分散共有メモリには、メモリ転写のように通信制御装置上のある限られたアドレス空間のデータについては、周期的にブロードキャストすることにより常に一致化を図ろうとするもの、あるいはMemnetのようにプロトコルレスにすることにより通信制御装置を廃止してネットワークをメモリに直接接続しようとするものがある。

【0007】なお、このような分散共有メモリの実現方法に関しては、例えば

An Analysis of Memnet: An Experiment in High-Speed Shared-Memory Local Networking, Gary S. Delp 他, Proc. of SIGCOM'88, pp165-174

において論じられている。

【0008】

【発明が解決しようとする課題】上記公知例の技術は、RPC等を用いたメッセージパッシングでは、自ノード内のコアについても通信が発生し、ローカルメモリのメモリットが活かせない一方、分散共有メモリではキャッシングによりローカルメモリのメモリットを活かせることに着目したものである。しかしながら同技術には以下に述べるような問題点があった。

【0009】a) メモリ転写

通信制御装置上の共有メモリは、ノード毎に固定エリアが割り振られ、他ノードからのデータはブロードキャストになること。一定周期で常に情報をブロードキャストして内容の一致化を図っているためエリアが大きくなれば（限られた時間内に送れる程度の情報量にしなければならぬ）、ネットワークの負荷が常に発生すること、など。

【0010】b) Memnet

プロトコルレスでネットワークインタフェースを簡素化しようとしているため、ヘテロジニアス (heterogeneous) 環境、あるいはプロトコル制御の役割が大きいインターホーク環境では使用出来ない。

【0011】本発明の目的は、メモリ転写を不要にしてネットワーク負荷を小さくした分散共有メモリを実現するシステムを提供することにある。

【0012】本発明の他の目的は、I/O装置内からのネットワーク受信データを効率的に受け取ることに着目して、システムを提供することにある。

【0013】なお、本発明の他の目的は、ヘテロジニアス (heterogeneous) 環境に分散共有メモリを実現するシステムを提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するための本発明は、通信制御装置上のある限られたアドレス空間のデータを周期的にブロードキャストすることにより常に一致化を図ろうとするもの、あるいはMemnetのようにプロトコルレスにすることにより通信制御装置を廃止してネットワークをメモリに直接接続しようとするものがある。

4

し、主メモリへのリード・ライトをプロトコルLSIを通じたネットワークアクセスに運動させるものである。主メモリにプロトコルLSIを接続するために、計算機システムバス側からのアクセスと、プロトコルLSIからのアクセスの競合を解決するポートコントローラ、およびアドレス情報を分岐させてプロトコルLSIに接続する信号線を設ける。なお、主メモリと通信制御機能を共にLSI化してもよい。プロトコルLSIの主メモリへの接続により、主メモリを通信制御装置メモリとみなすこともできる。

【0015】さらに上記他の目的のために、プロトコルLSIに標準プロトコルをインプリメントする。

【0016】

【作用】通信制御処理をLSI化したプロトコルLSIを主メモリに直接接続して、主メモリへのリード・ライトをプロトコルLSIを通じたネットワークアクセスに運動させるためには、主メモリへのREAD・WRITE信号をキャッチすることが必要になる。このために、計算機システムバスのアドレス線をポートコントローラのみでなく、プロトコルLSIに分岐させて入力することにより、プロトコルLSIは主メモリへのリード・ライトをキャッチし、ネットワークへのデータ要求送出・データ送出に備えることが出来る。具体的には、リードの場合にはWRITE信号をキャッチすると、それが共有アドレスエリアへの書き込みかローカルメモリへの書き込みかを判別し、共有エリアへの書き込みの場合には主メモリ上のデータに送信プロトコルを施し、所定ネットワークに向け送信する。リードの場合にはREAD信号をキャッチするとそれが共有アドレスエリアからの読み出しかローカルメモリからの読み出しかを判別し、ローカルメモリからの場合はそのままネットワークインタフェースの処理を終了、共有エリアの場合には、そのデータが有効であるかどうかを判別し、有効でない場合は最新データを保持中のレジスタ群を用いて最新データの受信要求を送る。その後、送り元からデータを受信し、共有アドレスに記憶を格納する。

【0017】

【実施例】以下、本発明の実施例を図面を参照しながら説明する。

【第1実施例】図1は、本発明の特徴を示す計算機システム、即ちハードウェア構成例を示すものである。計算機100は、中央部101、主メモリ102、各種I/O103、FDC104、ディスク装置105に接続されている。106は、通信I/Oポートである。また、通信制御装置はプロトコルLSI107、即ちPLSI106+PLSI107で構成される。また、主メモリ102はPLSI106に接続し、主メモリ102とPLSI106は記憶領域A、B、C、D、E、F、G、H、I、J、K、L、M、N、O、P、Q、R、S、T、U、V、W、X、Y、Z、AA、AB、AC、AD、AE、AF、AG、AH、AI、AJ、AK、AL、AM、AN、AO、AP、AQ、AR、AS、AT、AU、AV、AW、AX、AY、AZ、BA、BB、BC、BD、BE、BF、BG、BH、BI、BJ、BK、BL、BM、BN、BO、BP、BQ、BR、BS、BT、BU、BV、BW、BX、BY、BZ、CA、CB、CC、CD、CE、CF、CG、CH、CI、CJ、CK、CL、CM、CN、CO、CP、CQ、CR、CS、CT、CU、CV、CW、CX、CY、CZ、DA、DB、DC、DD、DE、DF、DG、DH、DI、DJ、DK、DL、DM、DN、DO、DP、DQ、DR、DS、DT、DU、DV、DW、DX、DY、DZ、EA、EB、EC、ED、EE、EF、EG、EH、EI、EJ、EK、EL、EM、EN、EO、EP、EQ、ER、ES、ET、EU、EV、EW、EX、EY、EZ、FA、FB、FC、FD、FE、FF、FG、FH、FI、FJ、FK、FL、FM、FN、FO、FP、FQ、FR、FS、FT、FU、FV、FW、FX、FY、FZ、GA、GB、GC、GD、GE、GF、GG、GH、GI、GJ、GK、GL、GM、GN、GO、GP、GQ、GR、GS、GT、GU、GV、GW、GX、GY、GZ、HA、HB、HC、HD、HE、HF、HG、HH、HI、HJ、HK、HL、HM、HN、HO、HP、HQ、HR、HS、HT、HU、HV、HW、HX、HY、HZ、IA、IB、IC、ID、IE、IF、IG、IH、II、IJ、IK、IL、IM、IN、IO、IP、IQ、IR、IS、IT、IU、IV、IW、IX、IY、IZ、JA、JB、JC、JD、JE、JF、JG、JH、JI、JJ、JK、JL、JM、JN、JO、JP、JQ、JR、JS、JT、JU、JV、JW、JX、JY、JZ、KA、KB、KC、KD、KE、KF、KG、KH、KI、KJ、KK、KL、KM、KN、KO、KP、KQ、KR、KS、KT、KU、KV、KW、KX、KY、KZ、LA、LB、LC、LD、LE、LF、LG、LH、LI、LJ、LK、LL、LM、LN、LO、LP、LQ、LR、LS、LT、LU、LV、LW、LX、LY、LZ、MA、MB、MC、MD、ME、MF、MG、MH、MI、MJ、MK、ML、MM、MN、MO、MP、MQ、MR、MS、MT、MU、MV、MW、MX、MY、MZ、NA、NB、NC、ND、NE、NF、NG、NH、NI、NJ、NK、NL、NM、NO、NP、NQ、NR、NS、NT、NU、NV、NW、NX、NY、NZ、OA、OB、OC、OD、OE、OF、OG、OH、OI、OJ、OK、OL、OM、ON、OO、OP、OQ、OR、OS、OT、OU、OV、OW、OX、OY、OZ、PA、PB、PC、PD、PE、PF、PG、PH、PI、PJ、PK、PL、PM、PN、PO、PP、PQ、PR、PS、PT、PU、PV、PW、PX、PY、PZ、QA、QB、QC、QD、QE、QF、QG、QH、QI、QJ、QK、QL、QM、QN、QO、QP、QQ、QR、QS、QT、QU、QV、QW、QX、QY、QZ、RA、RB、RC、RD、RE、RF、RG、RH、RI、RJ、RK、RL、RM、RN、RO、RP、RQ、RR、RS、RT、RU、RV、RW、RX、RY、RZ、SA、SB、SC、SD、SE、SF、SG、SH、SI、SJ、SK、SL、SM、SN、SO、SP、SQ、SR、SS、ST、SU、SV、SW、SX、SY、SZ、TA、TB、TC、TD、TE、TF、TG、TH、TI、TJ、TK、TL、TM、TN、TO、TP、TQ、TR、TS、TT、TU、TV、TW、TX、TY、TZ、UA、UB、UC、UD、UE、UF、UG、UH、UI、UJ、UK、UL、UM、UN、UO、UP、UQ、UR、US、UT、UU、UV、UW、UX、UY、UZ、VA、VB、VC、VD、VE、VF、VG、VH、VI、VJ、VK、VL、VM、VN、VO、VP、VQ、VR、VS、VT、VU、VV、VW、VX、VY、VZ、WA、WB、WC、WD、WE、WF、WG、WH、WI、WJ、WK、WL、WM、WN、WO、WP、WQ、WR、WS、WT、WU、WV、WW、WX、WY、WZ、XA、XB、XC、XD、XE、XF、XG、XH、XI、XJ、XK、XL、XM、XN、XO、XP、XQ、XR、XS、XT、XU、XV、XW、XX、XY、XZ、YA、YB、YC、YD、YE、YF、YG、YH、YI、YJ、YK、YL、YM、YN、YO、YP、YQ、YR、YS、YT、YU、YV、YW、YX、YY、YZ、ZA、ZB、ZC、ZD、ZE、ZF、ZG、ZH、ZI、ZJ、ZK、ZL、ZM、ZN、ZO、ZP、ZQ、ZR、ZS、ZT、ZU、ZV、ZW、ZX、ZY、ZZ、AA、AB、AC、AD、AE、AF、AG、AH、AI、AJ、AK、AL、AM、AN、AO、AP、AQ、AR、AS、AT、AU、AV、AW、AX、AY、AZ、BA、BB、BC、BD、BE、BF、BG、BH、BI、BJ、BK、BL、BM、BN、BO、BP、BQ、BR、BS、BT、BU、BV、BW、BX、BY、BZ、CA、CB、CC、CD、CE、CF、CG、CH、CI、CJ、CK、CL、CM、CN、CO、CP、CQ、CR、CS、CT、CU、CV、CW、CX、CY、CZ、DA、DB、DC、DD、DE、DF、DG、DH、DI、DJ、DK、DL、DM、DN、DO、DP、DQ、DR、DS、DT、DU、DV、DW、DX、DY、DZ、EA、EB、EC、ED、EE、EF、EG、EH、EI、EJ、EK、EL、EM、EN、EO、EP、EQ、ER、ES、ET、EU、EV、EW、EX、EY、EZ、FA、FB、FC、FD、FE、FF、FG、FH、FI、FJ、FK、FL、FM、FN、FO、FP、FQ、FR、FS、FT、FU、FV、FW、FX、FY、FZ、GA、GB、GC、GD、GE、GF、GG、GH、GI、GJ、GK、GL、GM、GN、GO、GP、GQ、GR、GS、GT、GU、GV、GW、GX、GY、GZ、HA、HB、HC、HD、HE、HF、HG、HH、HI、HJ、HK、HL、HM、HN、HO、HP、HQ、HR、HS、HT、HU、HV、HW、HX、HY、HZ、IA、IB、IC、ID、IE、IF、IG、IH、II、IJ、IK、IL、IM、IN、IO、IP、IQ、IR、IS、IT、IU、IV、IW、IX、IY、IZ、JA、JB、JC、JD、JE、JF、JG、JH、JI、JJ、JK、JL、JM、JN、JO、JP、JQ、JR、JS、JT、JU、JV、JW、JX、JY、JZ、KA、KB、KC、KD、KE、KF、KG、KH、KI、KJ、KK、KL、KM、KN、KO、KP、KQ、KR、KS、KT、KU、KV、KW、KX、KY、KZ、LA、LB、LC、LD、LE、LF、LG、LH、LI、LJ、LK、LL、LM、LN、LO、LP、LQ、LR、LS、LT、LU、LV、LW、LX、LY、LZ、MA、MB、MC、MD、ME、MF、MG、MH、MI、MJ、MK、ML、MM、MN、MO、MP、MQ、MR、MS、MT、MU、MV、MW、MX、MY、MZ、NA、NB、NC、ND、NE、NF、NG、NH、NI、NJ、NK、NL、NM、NO、NP、NQ、NR、NS、NT、NU、NV、NW、NX、NY、NZ、OA、OB、OC、OD、OE、OF、OG、OH、OI、OJ、OK、OL、OM、ON、OO、OP、OQ、OR、OS、OT、OU、OV、OW、OX、OY、OZ、PA、PB、PC、PD、PE、PF、PG、PH、PI、PJ、PK、PL、PM、PN、PO、PP、PQ、PR、PS、PT、PU、PV、PW、PX、PY、PZ、QA、QB、QC、QD、QE、QF、QG、QH、QI、QJ、QK、QL、QM、QN、QO、QP、QQ、QR、QS、QT、QU、QV、QW、QX、QY、QZ、RA、RB、RC、RD、RE、RF、RG、RH、RI、RJ、RK、RL、RM、RN、RO、RP、RQ、RR、RS、RT、RU、RV、RW、RX、RY、RZ、SA、SB、SC、SD、SE、SF、SG、SH、SI、SJ、SK、SL、SM、SN、SO、SP、SQ、SR、SS、ST、SU、SV、SW、SX、SY、SZ、TA、TB、TC、TD、TE、TF、TG、TH、TI、TJ、TK、TL、TM、TN、TO、TP、TQ、TR、TS、TT、TU、TV、TW、TX、TY、TZ、UA、UB、UC、UD、UE、UF、UG、UH、UI、UJ、UK、UL、UM、UN、UO、UP、UQ、UR、US、UT、UU、UV、UW、UX、UY、UZ、VA、VB、VC、VD、VE、VF、VG、VH、VI、VJ、VK、VL、VM、VN、VO、VP、VQ、VR、VS、VT、VU、VV、VW、VX、VY、VZ、WA、WB、WC、WD、WE、WF、WG、WH、WI、WJ、WK、WL、WM、WN、WO、WP、WQ、WR、WS、WT、WU、WV、WW、WX、WY、WZ、XA、XB、XC、XD、XE、XF、XG、XH、XI、XJ、XK、XL、XM、XN、XO、XP、XQ、XR、XS、XT、XU、XV、XW、XX、XY、XZ、YA、YB、YC、YD、YE、YF、YG、YH、YI、YJ、YK、YL、YM、YN、YO、YP、YQ、YR、YS、YT、YU、YV、YW、YX、YY、YZ、ZA、ZB、ZC、ZD、ZE、ZF、ZG、ZH、ZI、ZJ、ZK、ZL、ZM、ZN、ZO、ZP、ZQ、ZR、ZS、ZT、ZU、ZV、ZW、ZX、ZY、ZZ

10

30

348

26

10

30

40

26

よるI/Oデータ送信について説明する。まず、図7は、従来の計算機システムの構成例である。図1との対比のために説明すると、通信制御装置201は、主プロセッサ101、主メモリ102、各種I/O103、ROM104が接続されている計算機システムバス105に接続され、この通信制御装置201経由でネットワーク107へデータを送受信する。すなわち、ディスク301に納められているデータをネットワーク107へ送信したい場合、主プロセッサ101は、ディスク301から一旦主メモリ102へデータを読みだし、プロトコル処理を施した後通信制御装置201へ転送して、ネットワーク107へデータを送出する。換言すると二段階におたるデータ転送を行っている。

【0025】一方図8は、本発明によるデータ送信について説明する図である。

【0026】本発明の方法によれば、主プロセッサ101はディスク301から主メモリ102のバッファへデータを一度読み出すだけで良く、その後はPLS1106がネットワークへデータを直接送付する。通信機能付きメモリシステムの導入により、計算機の主プロセッサ101は、主メモリ102を通信制御装置、メモリと同じ感覚で扱うことができるようになる。そのため、従来I/O(301)上のデータをネットワークへ送付する際の、I/Oから主メモリへのデータ一時格納、及び主メモリから通信制御装置の共有メモリへのデータコピーが各々1回、計2回かかっていたのを、本発明では1回にまとめて済ませ、I/Oから主メモリを経由して直接ネットワークにデータを転送することが出来る。ネットワークからデータを受信した場合にも、直接主メモリを経由してI/Oへ格納することが出来る。

【0027】このように、本実施例によれば、ホストコンピュータ環境での分散共有メモリを実現できるほか、ネットワークインタフェースにおいてデータコピーオーバーヘッド削減の効果がある。

【0028】〔第2実施例〕図9は、主メモリ102をPLS1106を1チップで包み込んだ通信機能付きメモリ110を表す図である。1チップ内に包み込まれた通信機能付きメモリ110の機能は、大きくはメモリ機能、通信機能、ポートコントローラ等の三つである。メモリ機能としては、共有アドレスが404、ローカルメモリが405からなる主メモリ102を構成。通信機能としては、ネットワーク制御部703、ネットワーク制御用メモリが701、ポート制御部702から構成される。

【0029】本実施例は、図10に示す如く、計算機を構成する主メモリ102、通信機能付きメモリ110、各種I/O103、ROM104、主プロセッサ101、主メモリ102、各種I/O103、ROM104が接続されている計算機システムバス105に接続され、この通信制御装置201経由でネットワーク107へデータを送受信する。すなわち、ディスク301に納められているデータをネットワーク107へ送信したい場合、主プロセッサ101は、ディスク301から一旦主メモリ102へデータを読みだし、プロトコル処理を施した後通信制御装置201へ転送して、ネットワーク107へデータを送出する。換言すると二段階におたるデータ転送を行っている。

【0030】〔第3実施例〕図10は、通信機能付きメモリ110のPLS1106を着脱自在とした例である。PLS1106の接続口として、主メモリ102の前段にあらかじめポートコントローラ108を準備しておき、後からPLS1106をソケット120に差し込むだけで接続できるような手段を設けておいたものである。

【0031】この実施例によれば、システムの更新に容易に対処できる。例えば、ネットワークの種類がイーサネットからFDDIに変わると、伝送速度が10メガビットから100メガビットに変わったとしても、PLS1部分のみを交換すれば、他の部分の構成はそのまま、新しいシステムに適用できる。あるいはまた、プロトコルがTCP/IPからOSI参照モデルに変わるような場合も、PLS1106のみ交換すれば足りる。

【0032】〔第4実施例〕図11は、LAN-WAN(LAN接続されたインターネット)ネットワーク環境における本発明の実施例を示す図である。通信機能付きメモリ110Aを使ってLAN1301に接続されたエンドシステム100Aは、WAN1302経由で通信機能付きメモリ110Bを使ってLAN1303に接続されたエンドシステム100Bと情報やり取りをする。従来、このデータ転送、Memnetにおいては図12、図13のレイヤ1あるいは2相当の処理がこなしておらず、ホストコンピュータ環境でのみ分散共有メモリを実現しているが、本発明のプロトコルLSIは、レイヤ3をカバーしているので、図11のインターネット(LAN-WAN-LAN)環境や、ホストコンピュータ環境での分散共有メモリ実現が可能になる。

【0033】図12は、国際標準であるOSI参照モデルに基づいたプロトコルレイヤを示した図である。下位から順にフィジカルレイヤ、データリンクレイヤ、ネットワークレイヤ、トランスポートレイヤ、セッションレイヤ、プレゼンテーションレイヤ、アプリケーションレイヤの7層構造である。本実施例では、このうちフィジカルレイヤからトランスポートレイヤまで(レイヤ1、レイヤ2、レイヤ3、レイヤ4)をPLS1で、プレゼンテーションレイヤからアプリケーションレイヤまで(レイヤ5、レイヤ6、レイヤ7)を計算機上で実現して実装する。

【0034】図13は、業界標準であるTCP/IPのレイヤ構造を示した図である。下位のフィジカルレイヤはOSIと変わらないが、データリンクレイヤ、ネットワークレイヤとしてIPが、トランスポートレイヤとしてTCP、UDPが、プレゼンテーションレイヤとしてIPsecが実装されている。本実施例では、フィジカルレイヤからトランスポートレイヤまで(レイヤ1、レイヤ2、レイヤ3、レイヤ4)をPLS1で、プレゼンテーションレイヤからアプリケーションレイヤまで(レイヤ5、レイヤ6、レイヤ7)を計算機上で実現して実装する。

【0035】〔第5実施例〕図14は、本発明の通信機

末に適用した例である。携帯端末1601は、持ち運びが出来るように、主メモリ102と組み合わせるPLS I 1602を無線アンテナ107に接続して無線対応としたものである。すなわち、図6のネットワーク制御703を例えば無線LAN用MAC制御としたものである。

【0036】図13は、本発明を電子手帳に適用した例である。通信機能付きメモリ110をICカード化するなどコンパクトになれば、電子手帳1701とパソコン、WS1702とを無線ネットワーク1703で結んだシステムを構築できる。本実施例によれば、情報機器のコンパクト化にあわせた無線ネットワークシステムの構築が容易になる。

【0037】

【発明の効果】本発明による通信機能付きメモリシステムは、以下に記載されるような効果を奏する。通信機能付きメモリシステムの導入により、計算機の主プロセッサは、主メモリを通信制御装置メモリと同じ感度で扱うことが出来るようになるため、I/O上のデータをネットワークに送出又は受信するネットワーク送受信を効率的に行うことができる。すなわち、I/O上のデータをネットワークに送出する際のI/Oから主メモリシステム空間へデータ一時格納、および主メモリから通信制御装置メモリへのデータ転送という2回のデータコピーを、主メモリから通信制御装置へデータコピーを省くことが出来る。逆にネットワークからデータを受信した場合にも直接主メモリにデータが格納される。

【0038】また、メモリ転写に比べて、共有アドレス空間でデータが書き変えられた場合につき通信が発生するので、伝送路の負荷を低減することが出来ると共に、共有メモリエリアを広くとれる。さらに、リード・ライトが固定化されている共有エリアを自由にリード・ライ

トできるようにする。さらに、標準プロトコルをサポートしているため、プロトコルがないとつながらないインターネットワーク環境や、ヘテロジニアス環境での効率良い分散共有メモリが可能になる。

【図面の簡単な説明】

【図1】本発明の計算機システムハードウェア構成図。

【図2】本発明による情報通信ネットワークシステム構成例。

【図3】分散共有メモリ概念説明図。

【図4】主メモリ・プロトコルLSI接続関連図。

【図5】主メモリライト時のプロトコルLSI処理フロー。

【図6】主メモリリード時のプロトコルLSI処理フロー。

【図7】従来構成の場合のネットワーク送信時のデータの流れ。

【図8】本発明による構成の場合のネットワーク送信時のデータの流れ。

【図9】1チップ通信機能付きメモリの構成。

【図10】プロトコルLSIを着脱可能とした構成図。

【図11】インターネットワークシステム構成例。

【図12】OSIプロトコルレイヤ。

【図13】TCP/IPプロトコルレイヤ。

【図14】通信機能付きメモリの携帯端末への適用例。

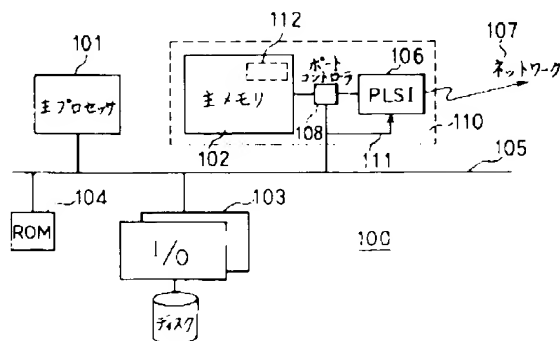
【図15】通信機能付きメモリの電子手帳への適用例。

【符号の説明】

100…計算機、101…主プロセッサ、102…主メモリ、103…各種I/O、104…ROM、105…システムバス、106…プロトコルLSI (PLS I)、107…ネットワーク、108…ポートコントローラ、110…1チップ通信機能付きメモリ、111…アドレス信号線、

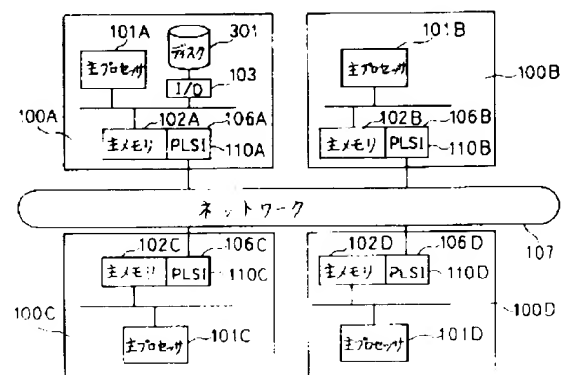
【図1】

図1



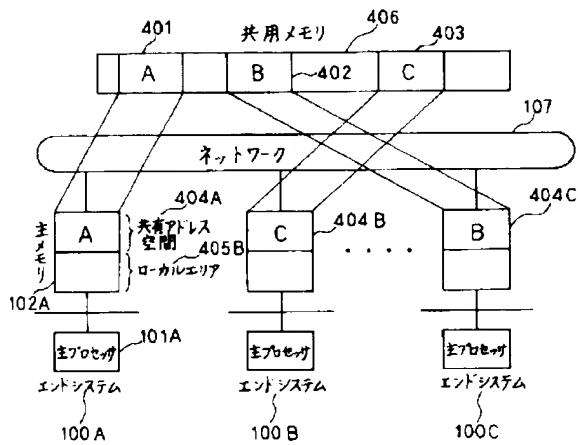
【図2】

図2



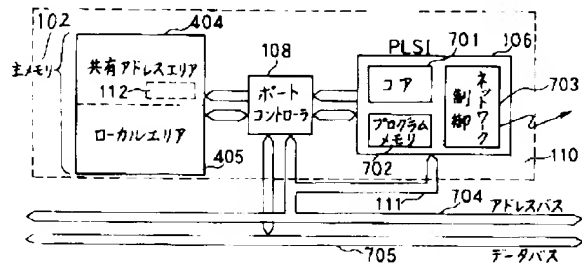
【図3】

図3



【図4】

図4

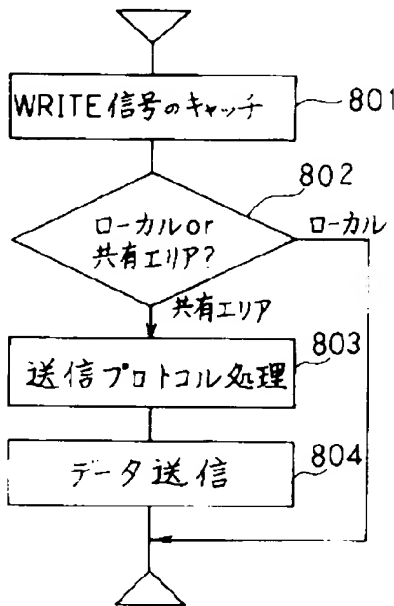


【図12】

図12

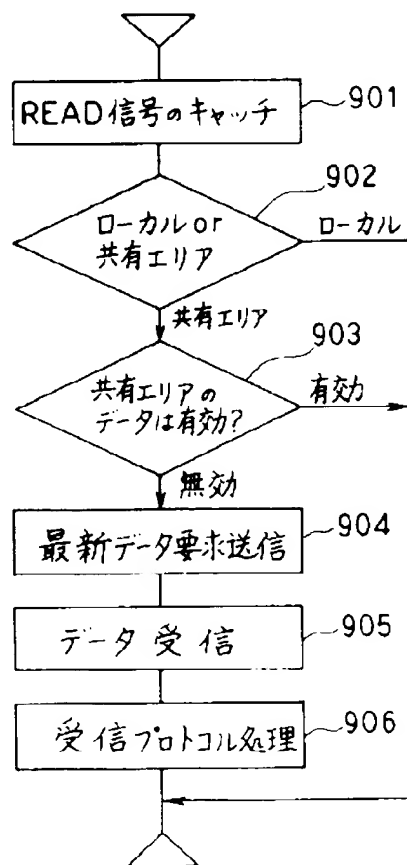
【図5】

図5



【図6】

図6



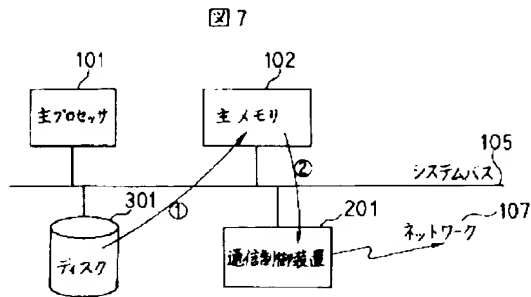
レイヤ7	アプリケーション	計算機主プロセッサ
6	プレゼンテーション	
5	セッション	
4	トランスポート	
3	ネットワーク	PLSI
2	データリンク	
1	フィジカル	

【図13】

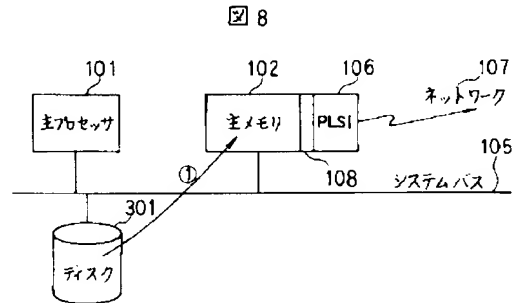
図13

レイヤ7	アプリケーション	計算機主プロセッサ
6		
5		
4	TCP, UDP, ICMP	PLSI
3	[P, ARP]	
2		
1	フィジカル	

【図7】

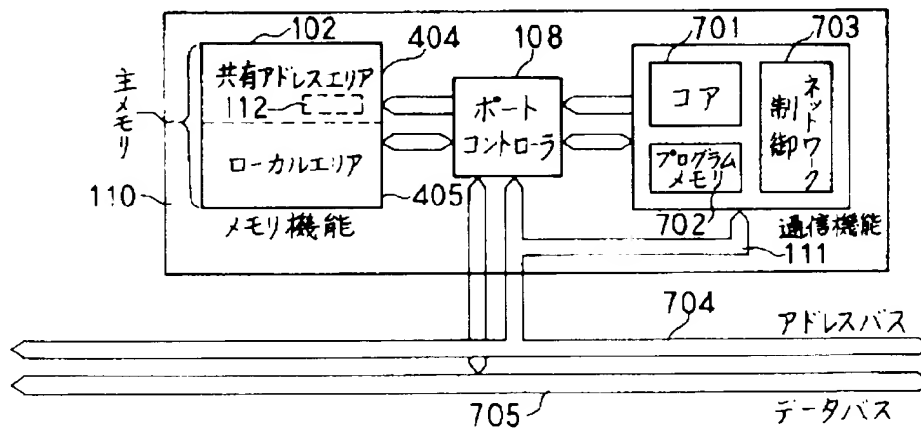


【図8】

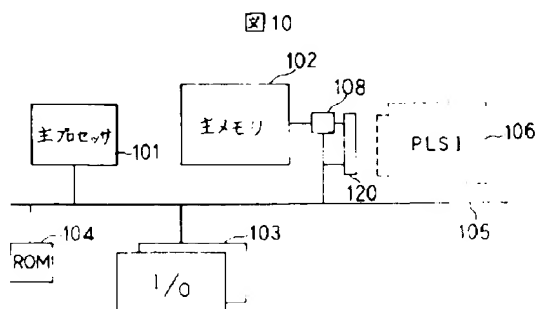


【図9】

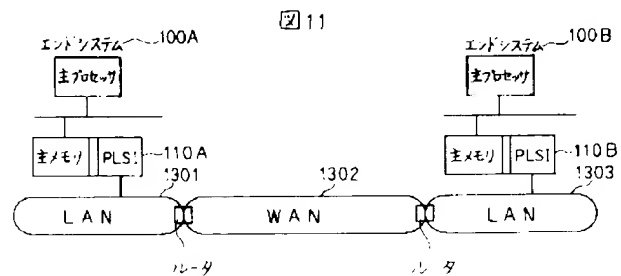
図9



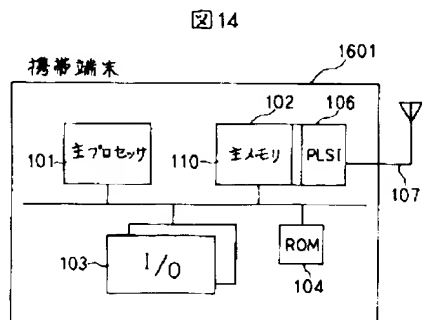
【図10】



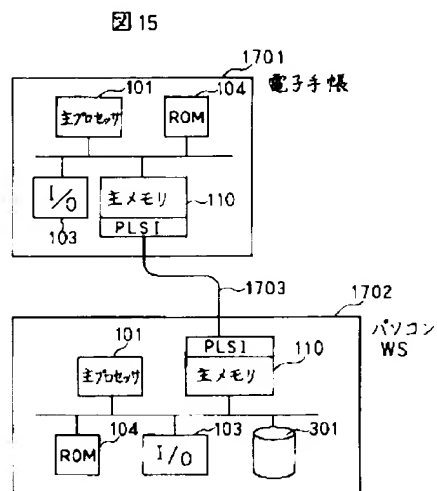
【図11】



【図14】



【図15】



フロントページの続き

(72) 発明者 高田 治
 神奈川県川崎市麻生区王禅寺1099番地株式
 会社日立製作所システム開発研究所内